

LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

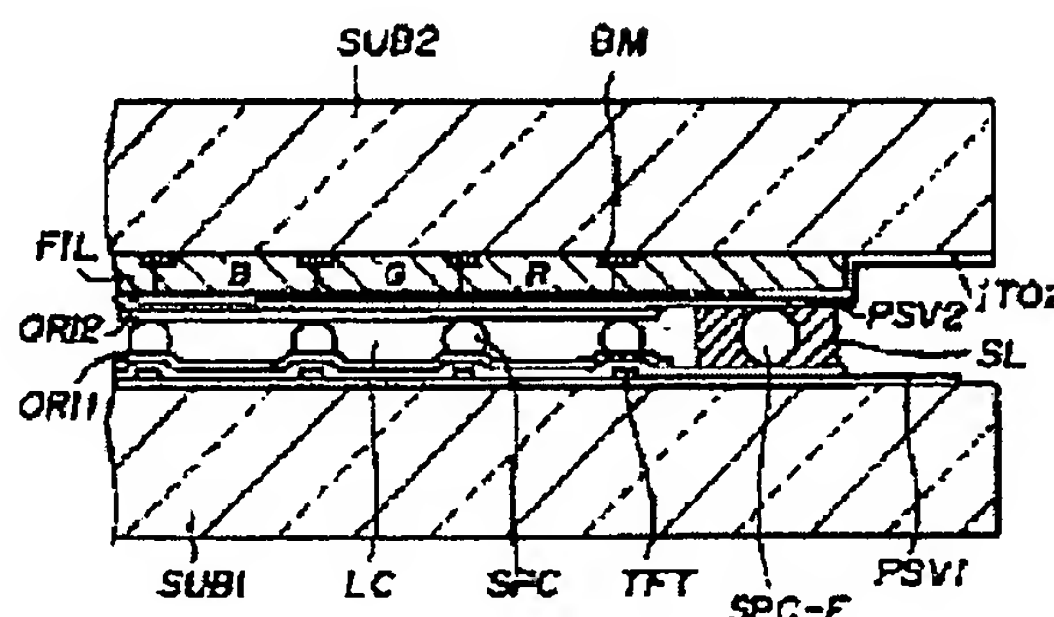
Patent number: JP6258647
Publication date: 1994-09-16
Inventor: SHIMADA KENICHI; YAJIMA TAKASHI
Applicant: HITACHI LTD; HITACHI DEVICE ENG
Classification:
 - international: G02F1/1339; G02F1/13; (IPC1-7): G02F1/1339
 - european:
Application number: JP19930046841 19930308
Priority number(s): JP19930046841 19930308

Report a data error here

Abstract of JP6258647

PURPOSE: To provide the liquid crystal display device which is enhanced in contrast and improved in display quality.

CONSTITUTION: This liquid crystal display device is constituted by injecting a liquid crystal LC between a transparent substrate SUB1 having thin-film transistors TFTs, driving electrodes, the liquid crystal LC and an oriented film OR11 formed on it and a transparent substrate SUB2 having a black mask BM, color filters FIL of three colors (R, G, B), a black mask BM for imparting light absorptivity to the peripheral edges of pixels, a common electrode ITO2 and an oriented film OR12 formed on it and sealing these substrates with a sealing material SL. Spacers SPC consisting of a transparent material for maintaining a specified spacing between the transparent substrate SUB1 and the transparent substrate SUB2 by interposing these spacers therebetween are arranged in the part of the black mask BM. As a result, the leakage of light by the spacers SPC does not arise any more and the contrast ratio between selected parts and non-selected parts is increased. The display quality is thus greatly improved.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(51)Int.Cl.⁵ 識別記号 庁内整理番号 FI 技術表示箇所
G 0 2 F 1/1339 5 0 0 8507-2K

審査請求 未請求 請求項の数2 OL (全 19 頁)

(21)出願番号	特願平5-46841	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成5年(1993)3月8日	(71)出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72)発明者	島田 賢一 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(72)発明者	矢島 敬司 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内
		(74)代理人	弁理士 武 顕次郎

(54)【発明の名称】 液晶表示装置およびその製造方法

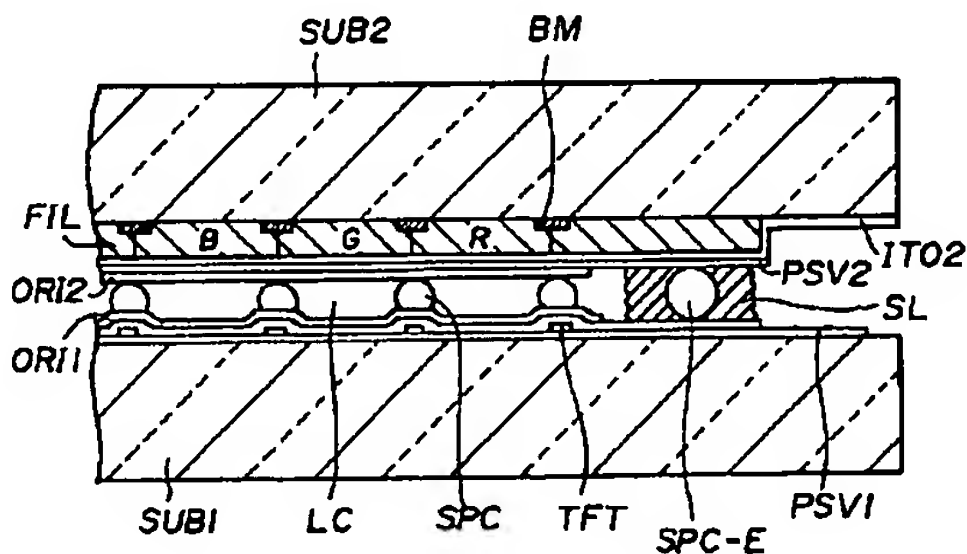
(57)【要約】

【目的】 高コントラストを図り表示品質を向上させた液晶表示装置を得る。

【構成】 薄膜トランジスタTFT、駆動電極ITO1、液晶LC、配向膜ORI1を形成した透明基板SUB1と、ブラックマスクBM、3色(R、G、B)のカラーフィルタFIL、画素周縁に吸光性を持たせるためのブラックマスクBM、共通電極ITO2、配向膜ORI2を形成した透明基板SUB2の間に液晶LCを注入し、シール材SLで封止してなり、前記透明基板SUB1と透明基板SUB2との間に介在して両者の間隔を一定に保つための透明な材料のスペーサSPCを前記ブラックマスクBMの部分に配置した。

【効果】 スペーサによる光の漏れが発生することがなくなり、選択部と非選択部のコントラスト比が大きくなって、表示品質が著しく向上する。

図1



【特許請求の範囲】

【請求項1】 薄膜トランジスタTFT、駆動電極ITO1、液晶LC、配向膜OR11を形成した透明基板SUB1と、ブラックマスクBM、3色(R、G、B)のカラーフィルタFIL、画素周縁に吸光性を持たせるためのブラックマスクBM、共通電極ITO2、配向膜OR12を形成した透明基板SUB2の間に液晶LCを注入し、シール材SLで封止してなる液晶表示装置において、

前記透明基板SUB1と透明基板SUB2との間に介在して両者の間隔を一定に保つための透明な材料のスペーサSPCを前記ブラックマスクBMの部分に配置したことを特徴とする液晶表示装置。

【請求項2】 薄膜トランジスタTFT、駆動電極ITO1、液晶LC、配向膜OR11を形成した透明基板SUB1と、ブラックマスクBM、3色(R、G、B)のカラーフィルタFIL、画素周縁に吸光性を持たせるためのブラックマスクBM、共通電極ITO2、配向膜OR12を形成した透明基板SUB2の間に形成された所定の

間隔に液晶LCを注入し、シール材SLで封止してなる液晶表示装置の製造方法において、

少なくとも前記液晶表示装置の表示領域をカバーする大きさの感光体に、静電写真法により一様に電荷を帯電させ、

前記ブラックマスクBMのパターンと同一のパターンをもつホットマスクを介して前記感光体に露光を施してブラックマスクBMのパターンと同一のパターンの電荷を残し、

ブラックマスクBMパターンと同一のパターンの電荷を残した前記感光体に、静電的に前記所定の間隔を保持する粒径を有する透明ビーズ状のスペーサSPCを吸着させ、感光体に吸着させた前記スペーサSPCを液晶表示装置を構成する透明基板SUB2のブラックマスクBM上に静電的に転写させることによって、前記スペーサSPCがブラックマスクBM部分にのみ存在し、画素部には存在しない液晶表示装置を得ることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置の製造方法に係り、特に、薄膜トランジスタ(TFT)等を使用したアクティブ・マトリクス方式の液晶表示装置の製造方法に関する。

【0002】

【従来の技術】 アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子(スイッチング素子)を設けたものである。各画素における液晶は理論的には常時駆動(デューティ比 1.0) されているので、時分割駆動

方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ(TFT)がある。

【0003】 図25は従来技術による薄膜トランジスタを使用したカラー液晶表示装置の要部概略構造を説明するための部分断面図である。一般に、この種の液晶表示装置は、薄膜トランジスタ(TFT)を形成した透明基板(以下、下部透明ガラス基板ともいう)SUB1とカラーフィルタFILを形成した透明基板(以下、上部透明ガラス基板ともいう)SUB2の間に液晶LCを注入し、シール材SLで封止してなる。

【0004】 透明基板SUB1側には、駆動電極ITO1、液晶TFT、配向膜OR11等が形成されており、また透明基板SUB2側には少なくとも3色(R、G、B)のカラーフィルタFIL、画素周縁に吸光性を持たせるためのブラックマスクBM、共通電極ITO2、配向膜OR12等が形成されており、上記配向膜OR11とOR12との間にネマチック等の液晶LCが封入されている。

【0005】 そして、上記液晶LCの封入層の厚さ、すなわち透明基板SUB1と透明基板SUB2との間の間隔を一定に保つために、表示領域にはポリマービーズ等の透明な材料のスペーサSPCが上記間隔内に分散配置されており、また封止部分には封止材SL内にガラスファイバー等の材料からなる封止部スペーサSPC-Eが配置されている。

【0006】 なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグロウヒル社発行、で知られている。

【0007】

【発明が解決しようとする課題】 上記従来の液晶表示装置の製造において、液晶LCの封入層の厚さ、すなわち透明基板SUB1と透明基板SUB2との間の間隔を一定に保つために配置されるポリマービーズ等の透明な材料のスペーサSPCの上記間隔への分散は、スペーサSPCとなるポリマービーズ等を適宜の溶剤あるいは水などに混合し、これをスプレー法などで透明基板SUB1または透明基板SUB2に一様に散布する方法を用いていた。

【0008】 しかし、上記の方法により分散されたスペーサSPCは基板間の全面に一様に分散されるために、画素部にも配置されてしまう。そのため、画素部に配置されたスペーサSPCの光屈折あるいは光反射作用によって選択された画素の周囲に光が漏れて、選択画素と非選択画素間のコントラスト比が小さくなってしまい、表

示品質を劣化させるという問題があった。

【0009】本発明の目的は、上記従来技術の問題点を解消し、高コントラストを図って表示品質を向上させた液晶表示装置を得ることのできる液晶表示装置とその製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の液晶表示装置は、液晶LCを封入する2枚の透明基板の間に配置するスペーサを、光吸収材であるブラックマスク部分にのみ配置したことを特徴とする。すなわち、薄膜トランジスタTFT、駆動電極ITO1、液晶LC、配向膜ORI1を形成した透明基板SUB1と、ブラックマスクBM、3色(R、G、B)のカラーフィルタFIL、画素周縁に吸光性を持たせるためのブラックマスクBM、共通電極ITO2、配向膜ORI2を形成した透明基板SUB2の間に液晶LCを注入し、シール材SLで封止してなり、前記透明基板SUB1と透明基板SUB2との間に介在して両者の間隔を一定に保つための透明な材料のスペーサSPCを前記ブラックマスクBMの部分に配置したことを特徴とする。

【0011】また、本発明の液晶表示装置の製造方法は、静電写真の原理を利用してブラックマスクBM部分にのみ選択的にスペーサSPCを配置して、画素部にはスペーサSPCが存在しないようにしたことを特徴とする。すなわち、少なくとも前記液晶表示装置の表示領域をカバーする大きさの感光体1に、静電写真法により一様に電荷を帯電させ、前記ブラックマスクBMのパターンと同一のパターンをもつホトマスク5を介して前記感光体1に露光を施してブラックマスクBMのパターンと同一のパターンの電荷を残し、ブラックマスクBMパターンと同一のパターンの電荷を残した前記感光体1に、静電的に前記所定の間隔を保持する粒径を有する透明ビーズ状のスペーサSPCを吸着させ、感光体1に吸着させた前記スペーサSPCを液晶表示装置を構成する透明基板SUB2のブラックマスクBM上に静電的に転写させることによって、前記スペーサSPCがブラックマスクBM部分にのみ存在し、画素部には存在しない液晶表示装置を得ることを特徴とする。

【0012】

【作用】上記本発明の構成とした液晶表示装置によれば、光の通過しないブラックマスクBM部分に配置されたスペーサSPCは光の通過に影響を及ぼすことが無く、また画素部にはスペーサSPCが存在しないために選択された画素部を通過する光は散乱を受けることがない。

【0013】したがって、従来のごとくスペーサによる光の漏れが発生することがなくなり、選択部と非選択部のコントラスト比が大きくなって、表示品質が著しく向上する。また、本発明の製造方法は静電写真法を用いるために、微細なブラックマスクBM部分に対して正確なス

ペーサSPCに配置が容易かつ正確になされ、コストダウンにも大きく寄与する。

【0014】

【実施例】本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。図1は本発明による液晶表示装置の1実施例の構造を説明する要部概略断面図であって、SUB1は薄膜トランジスタTFTを形成した透明基板、ITO1は駆動電極等、PSV1は保護膜、ORI1は配向膜、SUB2はブラックマスクBM、3色カラーフィルタFILを形成した透明基板、ITO2は共通透明電極、PSV2は保護膜、ORI2は配向膜、SLはシール材(封止材)、SPC-Eは封止部スペーサ、SPCはスペーサ、LCは液晶である。

【0015】同図において、透明基板SUB1には駆動電極等のITO1や保護膜PSV1、薄膜トランジスタTFT、配向膜ORI1が形成されている。また、透明基板SUB2にはブラックマスクBM、3色(R、G、B)カラーフィルタFIL、共通透明電極ITO2、保護膜PSV2、配向膜ORI2が形成されている。

【0016】透明基板SUB1と透明基板SUB2の間隔には、液晶LCが注入されており、封止部スペーサSPC-Eを混入したシール材SLで封止されている。そして、透明基板SUB1と透明基板SUB2の間隔を一様に保持するために、ポリマービーズからなるスペーサSPCが上記透明基板SUB2に形成されたブラックマスクBM部分に配置されている。

【0017】このスペーサSPCは画素部分、すなわち光が通過するカラーフィルタFIL部分には存在しないため、選択された画素を通過する光に対してスペーサSPCにより反射、屈折あるいは散乱等の所謂光漏れを及ぼすことがない。そのため、選択部と非選択部のコントラスト比が大きくなり、表示品質が大幅に向上される。

【0018】次に、本発明による液晶表示装置の製造方法について説明する。図2～図5は本発明による液晶表示装置の製造方法の1実施例を説明する工程概念図であって、前記図1と同一符号は同一部分に対応し、1は少なくとも前記液晶表示装置の表示領域をカバーする大きさの感光体、11は感光体1の基体を構成する金属基板、12は感光層、2はコロナ放電器、3は電荷、4は露光光、5はブラックマスクBMと同一の遮光パターン51を有するホトマスクである。

【0019】先ず、図2に示したように、感光体1に表面全面にコロナ放電器2を用いて電荷を一様に帯電させる。次に、図3に示したように、一様に電荷3を帯電させた感光体1にホトマスク5を介して露光光4を照射し、パターン51部分に対応する部分を残して電荷を中和させる。

【0020】図4はマスク露光後の感光体1にスペーサSPCを吸着させる工程を示し、スペーサSPCを感光

体1に振り掛けることで静電低に吸着され、電荷の残った部分すなわちブラックマスクBMと同一パターンでスペーサSPCが被着する。スペーサSPCを吸着させた感光体1を、図5に示したようにブラックマスクBMおよびカラーフィルタFILを形成した透明基板SUB2に対して位置合わせする。この位置合わせは、吸着したスペーサSPCのパターンとブラックマスクBMとを一致させる。

【0021】感光体1と透明基板SUB2を位置合わせした後、透明基板SUB2の背面からコロナ放電器2により電荷3を帯電させることによって透明基板SUB2のブラックマスクBM側に、感光体1に被着したスペーサSPCと逆極性の電荷が誘起し、スペーサSPCは透明基板SUB2のブラックマスク部分に転写される。こうしてスペーサSPCを転写した透明基板SUB2をTF Tを形成した透明基板SUB1に組合せ、両者の間隙に液晶LCを注入して封止材SLで封止することにより、図1に示した液晶表示装置が構成される。

【0022】この実施例の方法によれば、微細なブラックマスクBM部分に対して正確なスペーサSPCを容易かつ正確に配置することが可能となる。なお、ホトマスクはブラックマスクの形成に用いたものを利用することができ、帯電する電荷の極性、転写に用いる帯電極性は上記と互いに逆極性としてもよいことが言うまでもない。

【0023】また、本発明は上記したカラー液晶表示装置のみならず、白黒の液晶表示装置に適用することも可能である。以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

《マトリクス部の概要》図6は本発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の1画素とその周辺を示す平面図、図7は図6の3-3切断線における断面を示す図、図8は図6の4-4切断線における断面図である。

【0024】図6に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTF T、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。なお、ここではスペーサSPCは図示を省略してある。

【0025】図7に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTF Tおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮

光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0026】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

10 《マトリクス周辺の概要》図9は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図10はその周辺部を更に誇張した平面を、図7は図9及び図10のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図12は図7の断面を中央にして、左側に図11の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図13は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

20 【0027】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図9～図11は後者の例を示すもので、図9、図10の両図とも上下基板SUB1、SUB2の切断後を、図11は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図22、図23）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

30 【0028】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なく

とも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0029】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

《薄膜トランジスタTFT》次に、図6、図7に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0030】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。各画素には複数(2つ)の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成され、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一对のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通のゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層

の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム(A1)膜が用いられ、その上にはA1の陽極酸化膜AOFが設けられている。

【0031】このゲート電極GTはi型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに(本実施例では、2000Å程度)形成される。ゲート絶縁膜GIは図11に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電気的絶縁にも寄与している。

《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに(本実施例では、2000Å程度の膜厚)で形成される。層d0はオーミックコンタクト用のリン(P)をドーピングしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0032】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0033】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1

はスパッタリングで形成された透明導電膜 (Indium-Tin-Oxide ITO:ネサ膜) からなり、1000~2000Åの厚さに (本実施例では、1400Å程度の膜厚) 形成される。

《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0034】第2導電膜d2はスパッタで形成したクロム (Cr) 膜を用い、500~1000Åの厚さに (本実施例では、600Å程度) で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する (いわゆるバリア層の) 目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属 (Mo、Ti、Ta、W) 膜、高融点金属シリサイド (MoSi、TiSi、TaSi、WSi) 膜を用いてもよい。

【0035】第3導電膜d3はAlのスパッタリングで3000~5000Åの厚さに (本実施例では、4000Å程度) 形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする (ステップカバーレッジを良くする) 働きがある。

【0036】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0037】保護膜PSV1は図11に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図11に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図6に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0038】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され (いわゆるブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0039】透明画素電極ITO1のラビング方向の根本側のエッジ部分 (図6右下部分) も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。遮光膜BMは図10に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図6に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図10~図13に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁

部より内側に形成されている。

【0040】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で 사용되는集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図10、図11を参照されたい。

《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図8からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0041】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

《ゲート端子部》図14は表示マトリクス走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図11下方付近に対応し、斜め配線の部分は便宜状一直線状で

表した。

【0042】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0043】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、AL層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0044】ゲート端子GTMは酸化珪素SiO₂層と接着性が良くAl等よりも耐電蝕性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0045】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図11に示すように上下に複数本並べられ端子群Tg

（図10、図11）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

《ドレイン端子DTM》図15は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、

(A)はその平面を示し、(B)は(A)のB-B切断

線における断面を示す。なお、同図は図11右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0046】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図11に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0047】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0048】マトリクス部からドレイン端子部DTMまでの引出配線は図12の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に抑え、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図16に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0049】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。映像信号線X（添字省略）は交互に上

側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0050】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に交換する回路を含む回路である。

《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTF Tがスイッチングするとき、中点電位（画素電極電位）V1cに対するゲート電位変化 ΔV_g の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0051】

$$\Delta V_{1c} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタTF Tのゲート電極GTとソース電極SD1との間に形成される寄生容量、 C_{pix} は透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される容量、 ΔV_{1c} は ΔV_g による画素電極電位の変化分を表わす。この変化分 ΔV_{1c} は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTF Tがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0052】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、中点電位V1cはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0053】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量 C_{pix} に対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量 C_{gs} に対して8～32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。保持容量電極線としてのみ使用される初段の走査信号線GL（Y）は共通透明画素電極ITO2（Vcom）と同じ電位にする。図11の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Yは最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスYを受けるように接続してもよい。

《製造方法》つぎに、上述した液晶表示装置の基板SU

B1側の製造方法について図17～図19を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図11に示す画素部分、右側は図14に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリジストを除去した段階を示している。

【0054】なお、写真処理とは本説明ではフォトリジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返し説明は避ける。以下区分けした工程に従って、説明する。

工程A、図17

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SiO₂をディップ処理により設けたのち、500℃、60分間のベークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0055】工程B、図17

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

工程C、図17

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cmになるように調整する（定電流化成）。次に所定のAlO₂膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAlO₂膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0056】工程D、図18

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを

導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0057】工程E、図18

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

工程F、図18

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化Si膜を選択的にエッチングする。

【0058】工程G、図19

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0059】工程H、図19

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0060】工程I、図19

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

《液晶表示モジュールの全体構成》図20は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0061】SHDは金属板から成る枠状のシールドケース（メタルフレーム）、LCWその表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0062】モジュールMDLは、シールドケースSHDに設けられた爪CLとフックFKによって全体が固定されるようになっている。中間フレームMFRは表示窓LCWに対応する開口が設けられるように枠状に形成され、その枠部分には拡散板SPB、バックライト支持体

BLS並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0063】下側ケースLCAはバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管BLに対応して反射山RMが形成されている。

《表示パネルPNLと駆動回路基板PCB1》図21は、図9等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。

【0064】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図22、図23で後述するように駆動用ICチップCHIがテープ・オートメィド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCDS等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

《TCPの接続構造》図22は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図23はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0065】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT／TF T変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM（GTM）は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0066】BF1はポリイミド等からなるベースフィ

ルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図24に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTF T液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電気的に接続される。

【0067】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電気的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることでより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0068】

【発明の効果】以上説明したように、本発明によれば、光の通過しないブラックマスクBM部分に配置されたスペーサSPCは光の通過に影響を及ぼすことが無く、また画素部にはスペーサSPCが存在しないために選択された画素部を通過する光は散乱を受けることがない。

【0069】したがって、従来のごとくスペーサによる光の漏れが発生することがなくなり、選択部と非選択部のコントラスト比が大きくなって、表示品質が著しく向上する。また、本発明の製造方法は静電写真法を用いるために、微細なブラックマスクBM部分に対して正確なスペーサSPCに配置が容易かつ正確になされ、コストダウンにも大きく寄与する。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の1実施例の構造を説明する要部概略断面図である。

【図2】本発明による液晶表示装置の製造方法の1実施例を説明する帯電工程の概念図である。

【図3】本発明による液晶表示装置の製造方法の1実施例を説明する露光工程の概念図である。

【図4】本発明による液晶表示装置の製造方法の1実施例を説明する吸着工程の概念図である。

【図5】本発明による液晶表示装置の製造方法の1実施例を説明する転写工程の概念図である。

【図6】本発明が適用されるアクティブ・マトリックス

方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図7】図6の3-3切断線における1画素とその周辺を示す断面図である。

【図8】図6の4-4切断線における付加容量C_{add}の断面図である。

【図9】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図10】図9の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図11】上下基板の電氣的接続部を含む表示パネルの角部の拡大平面図である。

【図12】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図13】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図14】ゲート端子G_{TM}とゲート配線G_Lの接続部近辺を示す平面図と断面図である。

【図15】ドレイン端子D_{TM}と映像信号線D_Lとの接続部付近を示す平面図と断面図である。

【図16】アクティブ・マトリックス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図17】基板SUB1側の工程A~Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図18】基板SUB1側の工程D~Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図19】基板SUB1側の工程G~Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図20】液晶表示モジュールの分解斜視図である。

【図21】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図22】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図23】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子D_{TM}に接続した状態を示す要部断面図である。

【図24】周辺駆動回路基板PCB1（上面が見える）

と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【図25】従来技術による薄膜トランジスタを使用したカラー液晶表示装置の要部概略構造を説明するための部分断面図である。

【符号の説明】

1 感光体

11 基体

12 感光層

10 2 コロナ放電器

3 電荷

4 露光光

5 ホトマスク

51 遮光パターン

SPC スペーサ

SUB 透明ガラス基板

GL 走査信号線

DL 映像信号線

GI 絶縁膜

20 GT ゲート電極

AS i型半導体層

SD ソース電極またはドレイン電極

PSV 保護膜

BM ブラックマスク（遮光膜）

LC 液晶

TFT 薄膜トランジスタ

ITO 透明画素電極

g、d 導電膜

C_{add} 保持容量素子

30 AOF 陽極酸化膜

AO 陽極酸化マスク

G_{TM} ゲート端子

D_{TM} ドレイン端子

SHD シールドケース

PNL 液晶表示パネル

SPB 光拡散板、

MFR 中間フレーム

BL バックライト

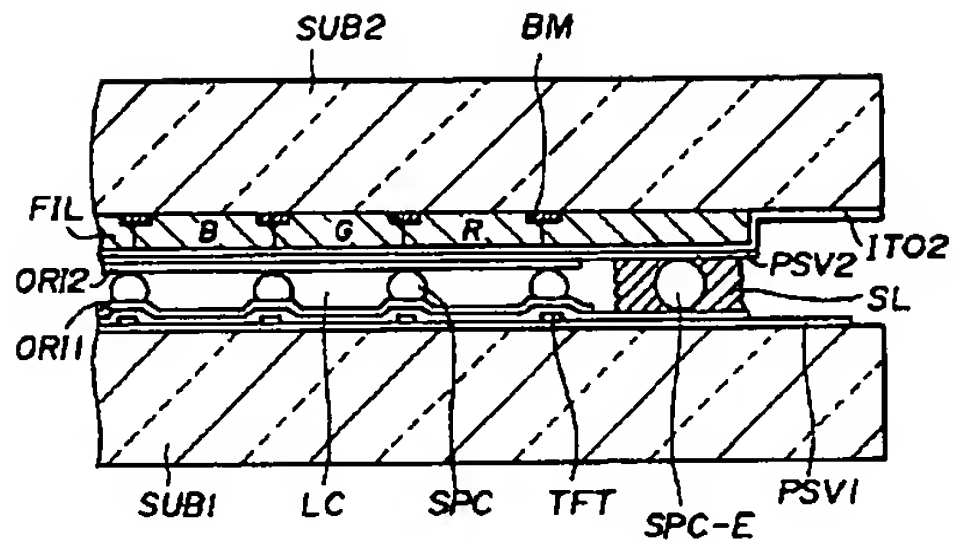
BLS バックライト支持体

40 LCA 下側ケース

RM バックライト光反射山

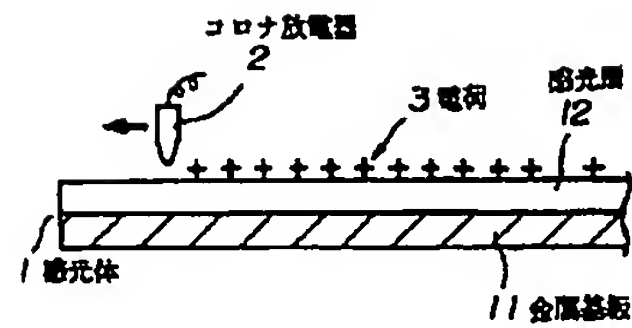
【図1】

図1



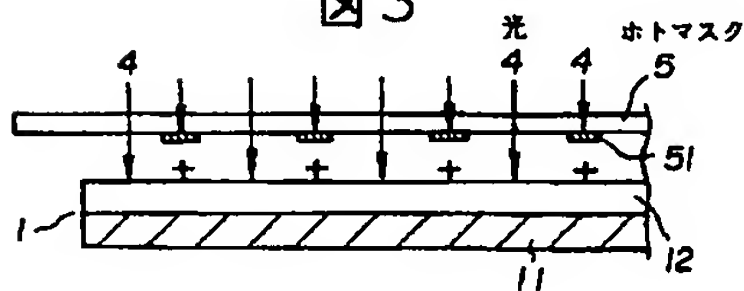
【図2】

図2



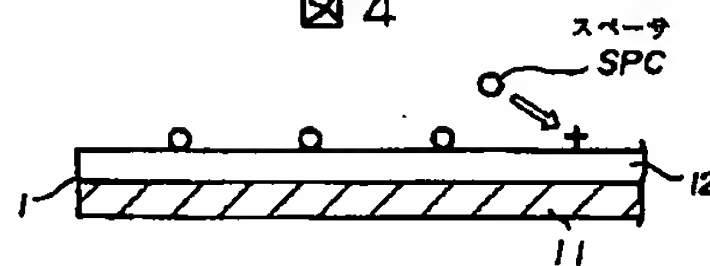
【図3】

図3



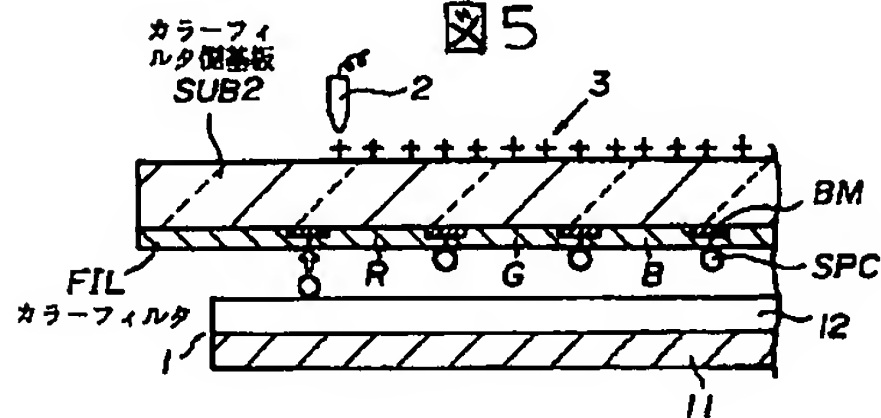
【図4】

図4



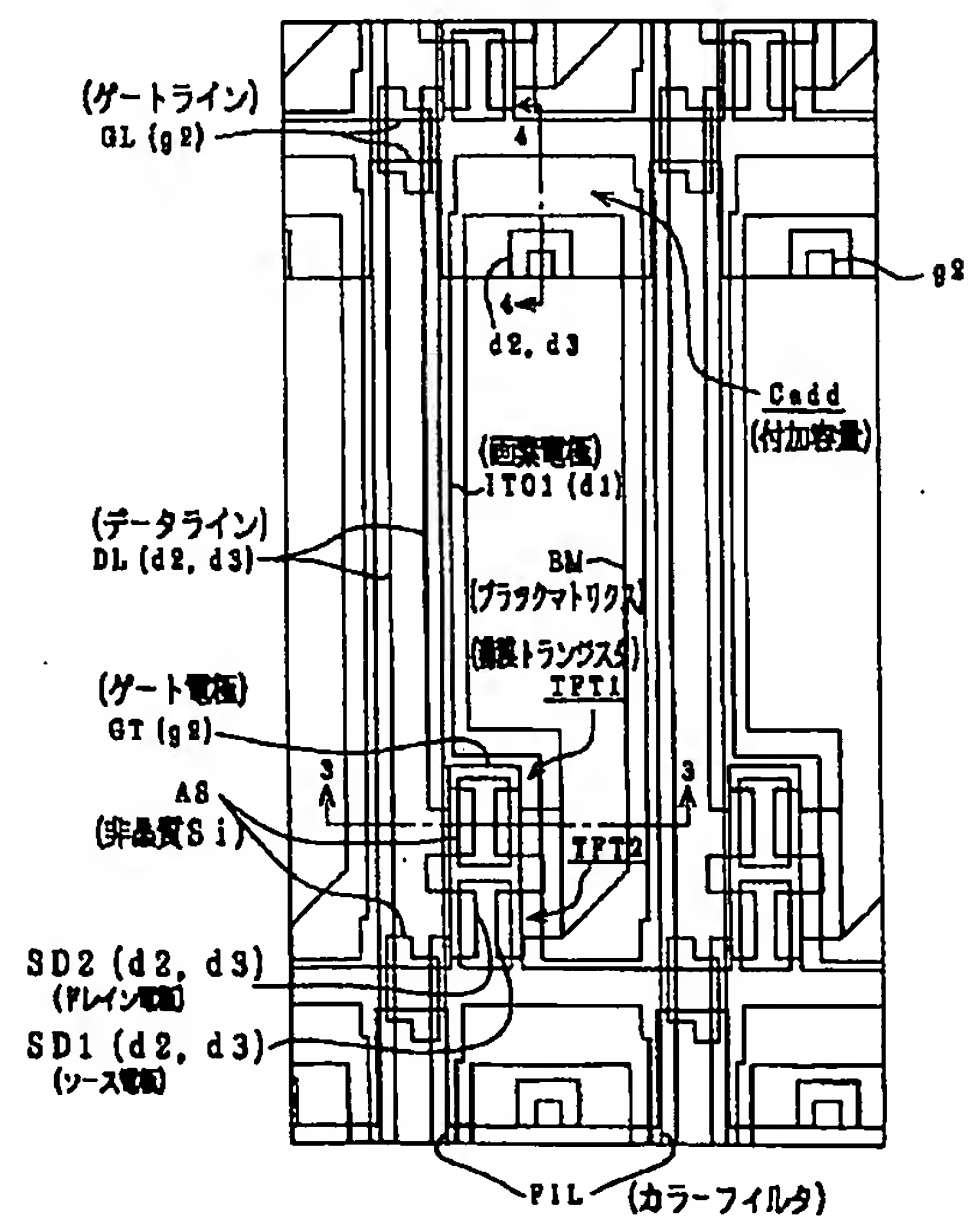
【図5】

図5

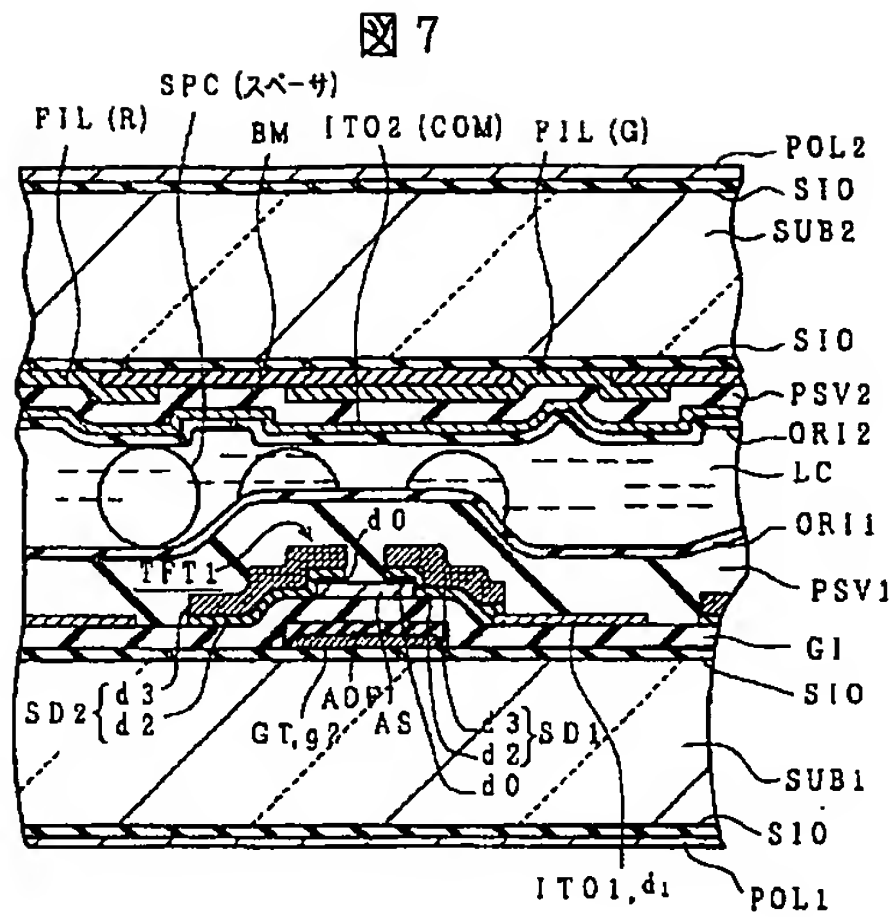


【図6】

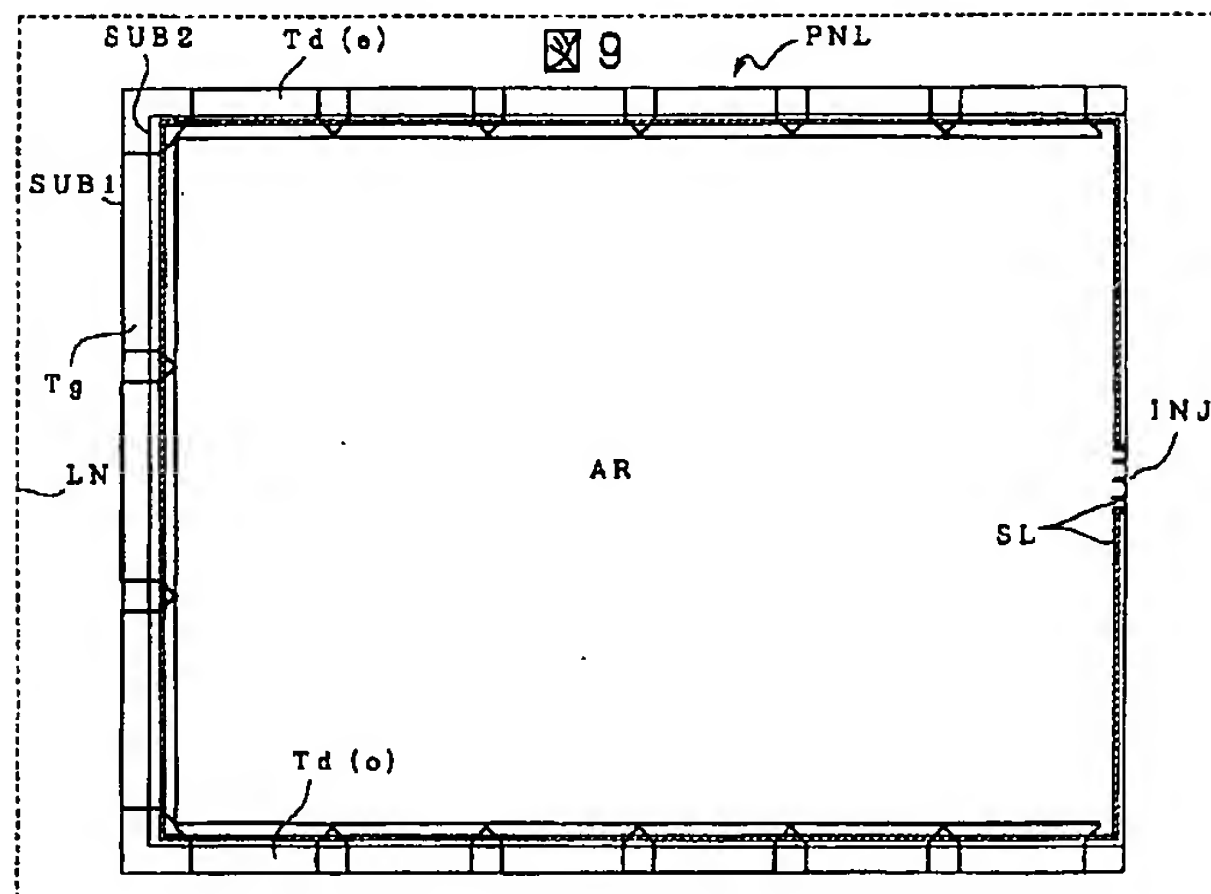
図6



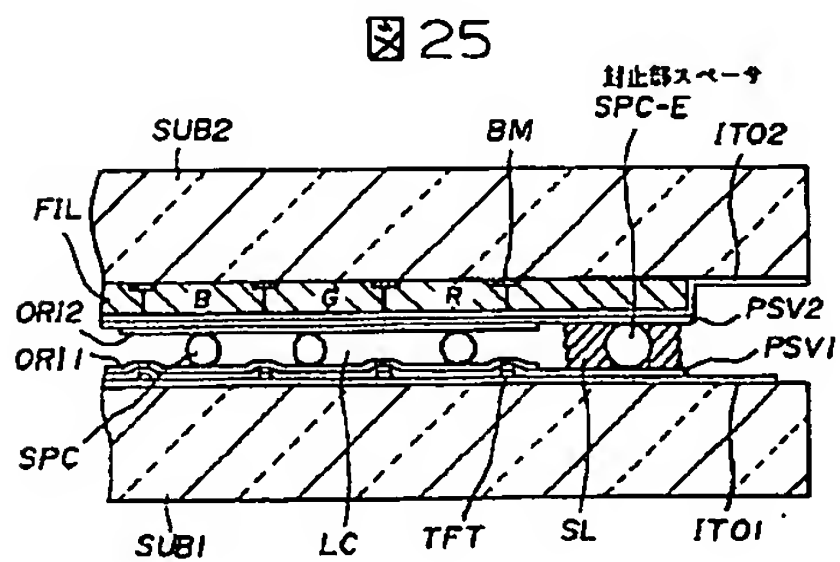
【図7】



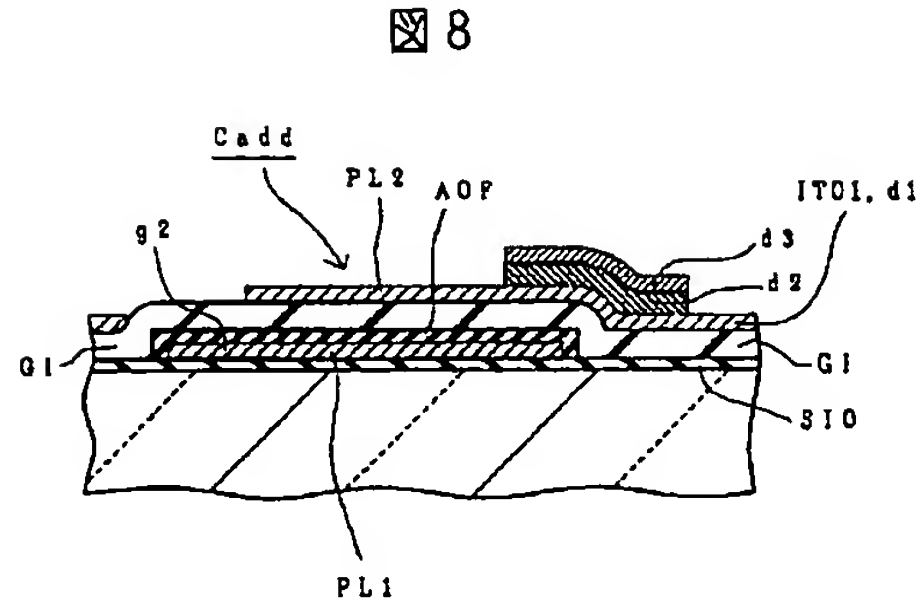
【図9】



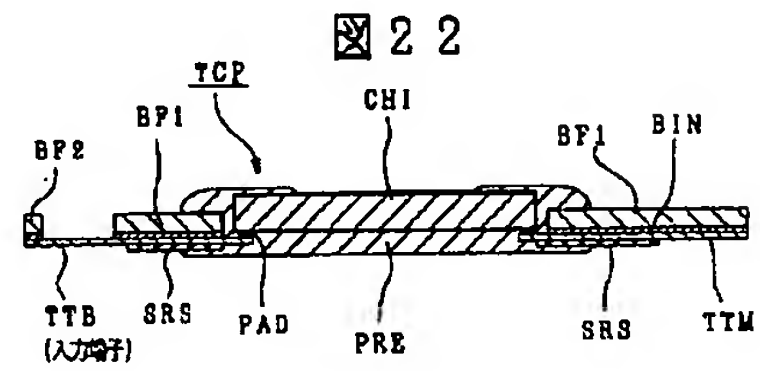
【図25】



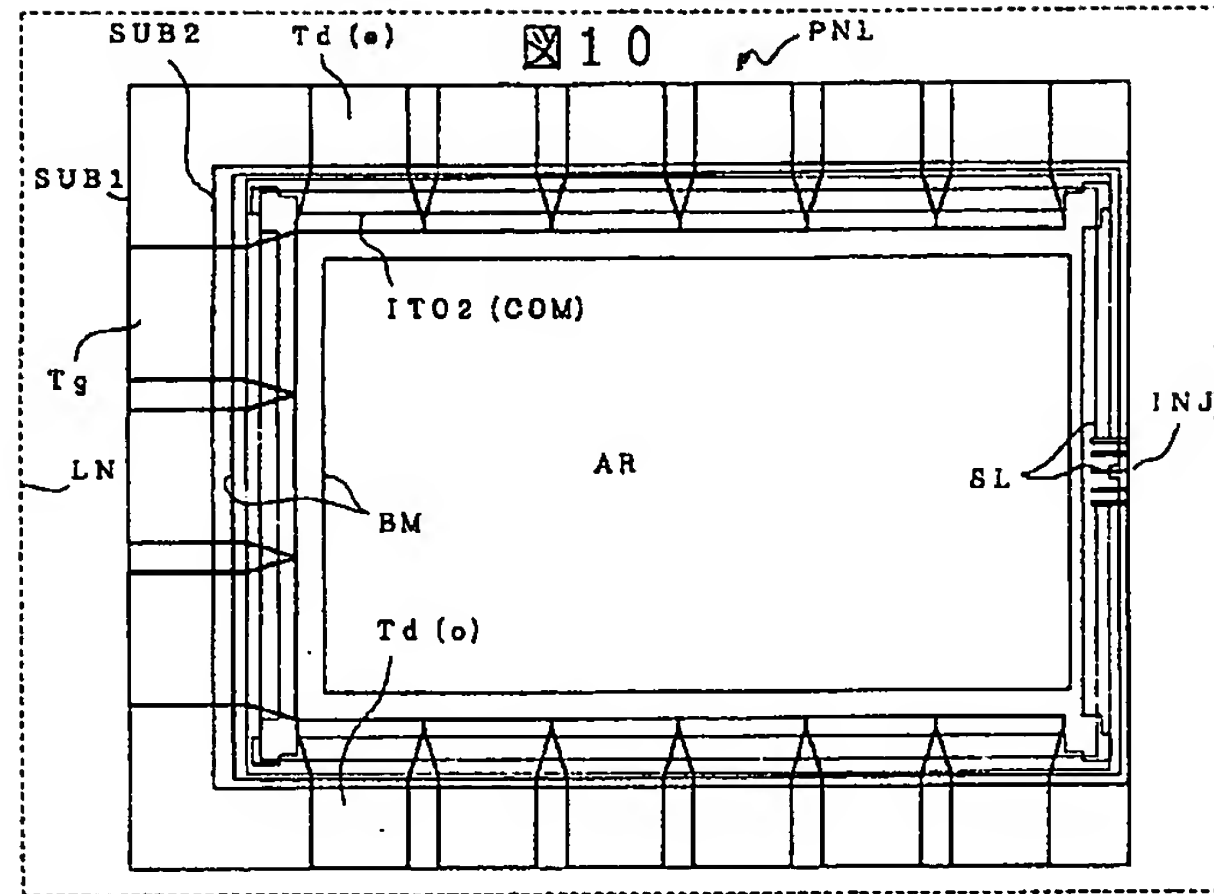
【図8】



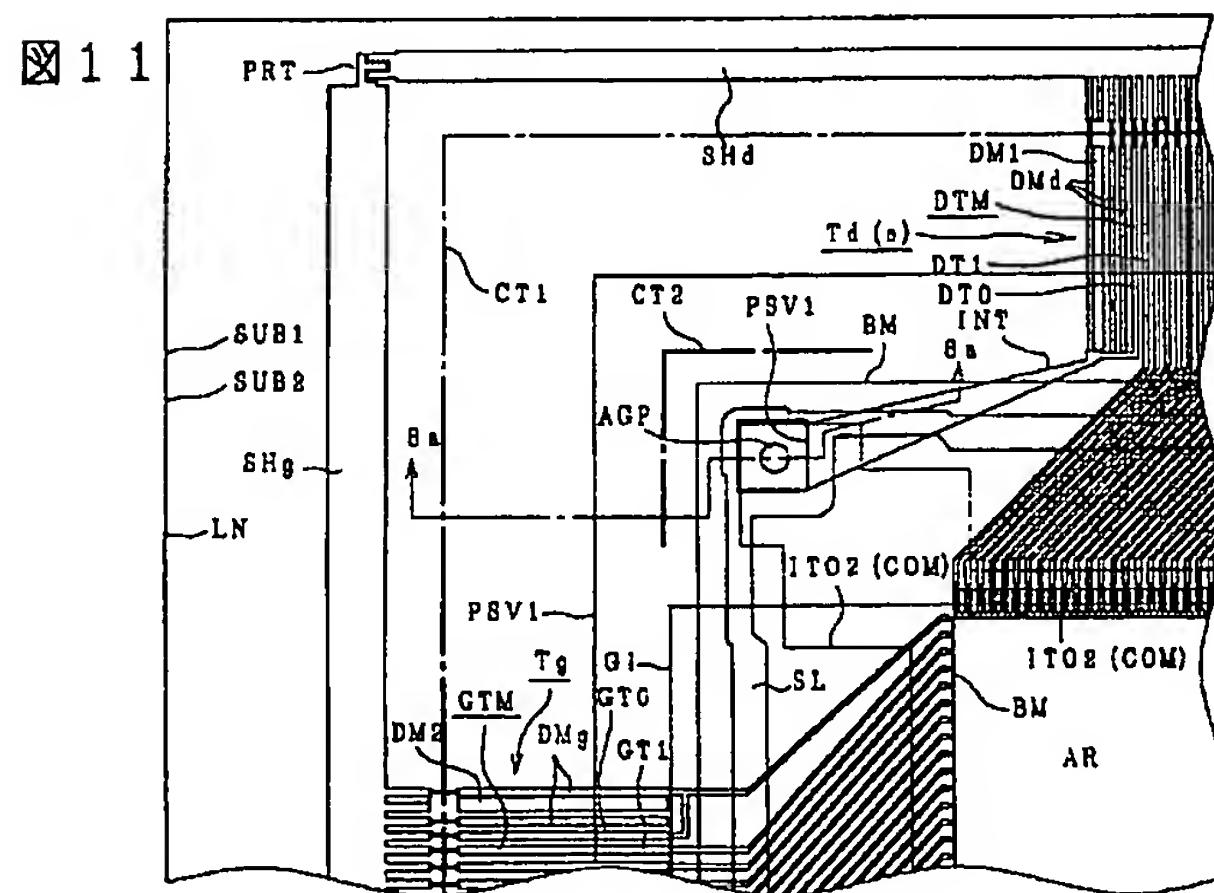
【図22】



【図10】

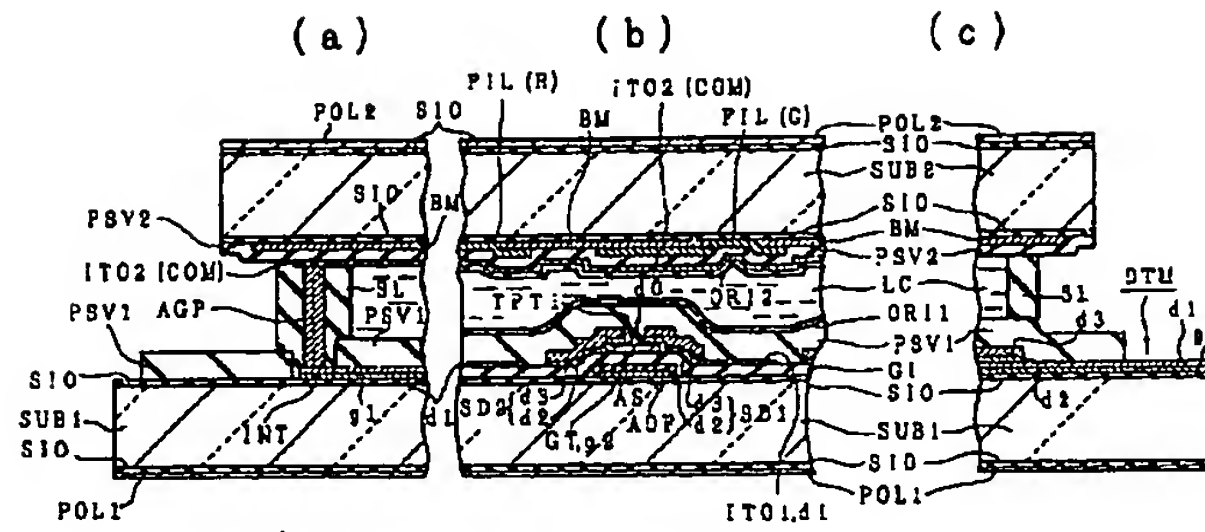


【図11】



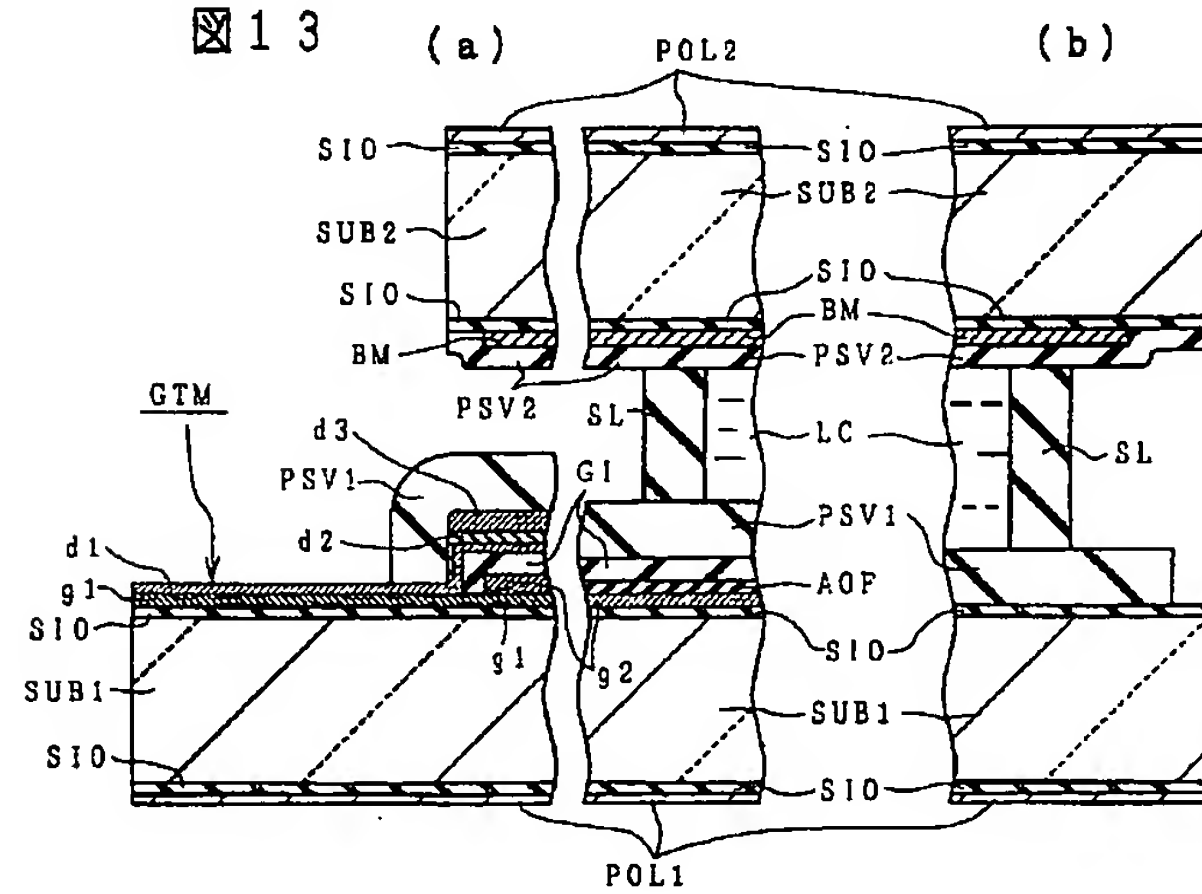
【図12】

図12



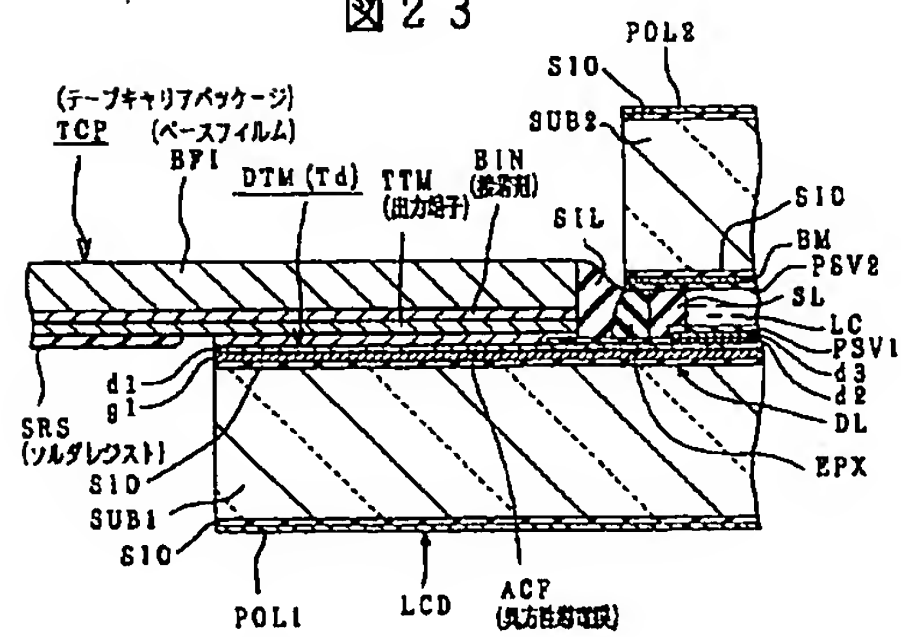
【図13】

図13



【図23】

図23



14

Figure 1 consists of two cross-sectional views, (A) and (B), of a semiconductor device. View (A) is a top-down view showing a gate electrode (GTM) and signal lines (GL) with dimensions d1, g1, g2, d2, d3, and labels PSV1, AO, GL(g2). View (B) is a side cross-section showing layers SUB1, S10, POL1, and various conductive layers (GTM, GL, AODF) with dimensions d1, g1, d2, d3, and labels PSV1, GL(g2), AODF.

GTM: ゲート端子、GL: 走査信号線、AO: 陽極酸化マスク

图 15

Fig. 1 consists of two schematic diagrams, (A) and (B), illustrating a liquid crystal display device.

(A) is a plan view showing the arrangement of components. It includes a central rectangular area labeled "AS" (Active Surface) surrounded by a frame labeled "TSTd" (Thin Silicon Tricrystalline Die). To the left, there are labels "DL (d2, d3)" and "AO" (Anode Oxide). To the right, there are labels "d2, d3", "DTM" (Data Transfer Module), "d1", and "g1" (Gate). A vertical arrow labeled "B" points upwards.

(B) is a cross-sectional view showing the layers of the device. It includes a substrate labeled "SUB1" (Silicon Substrate) with a layer "SIO" (Silicon Dioxide) and "POL1" (Polyimide). Above the substrate, there are layers labeled "d0", "AS", "PSV1" (Passivation Layer), "d3", "d2", "DTM", "d1", and "g1". A vertical arrow labeled "B" points upwards.

☒ 16

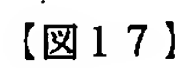
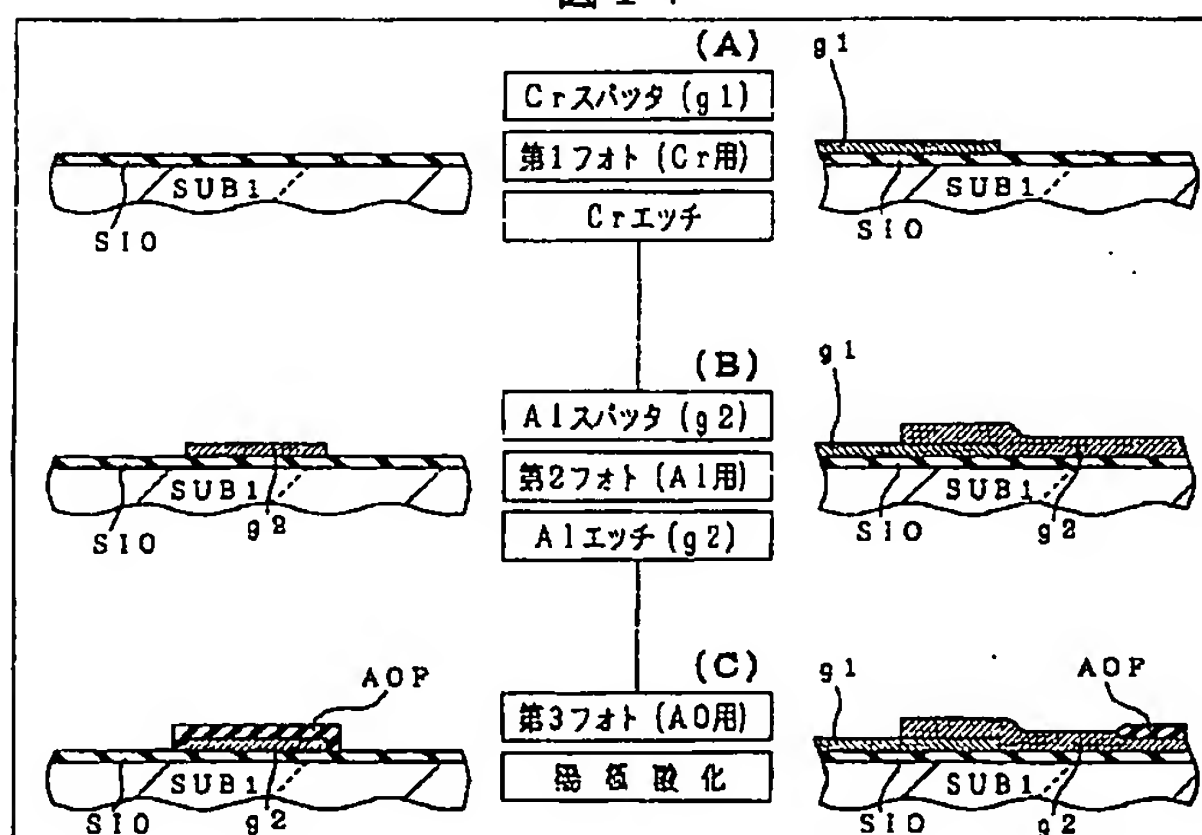
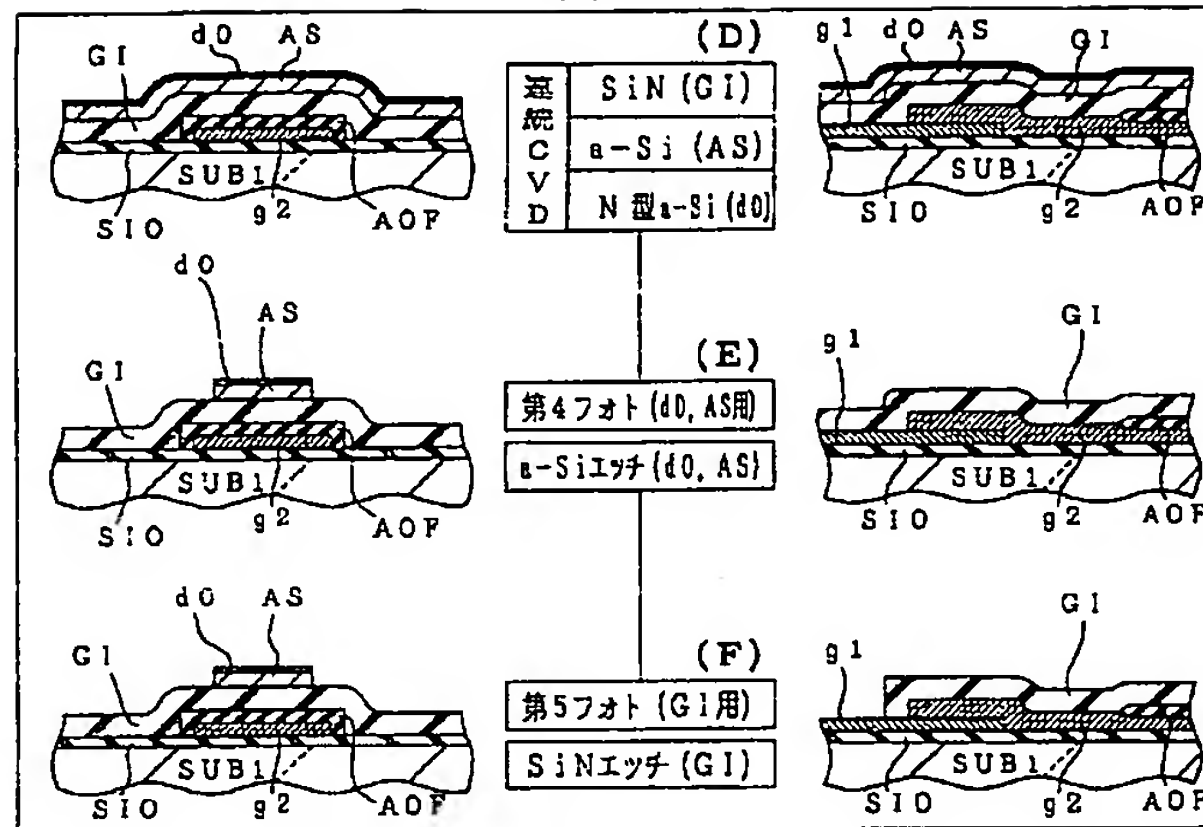


图 17



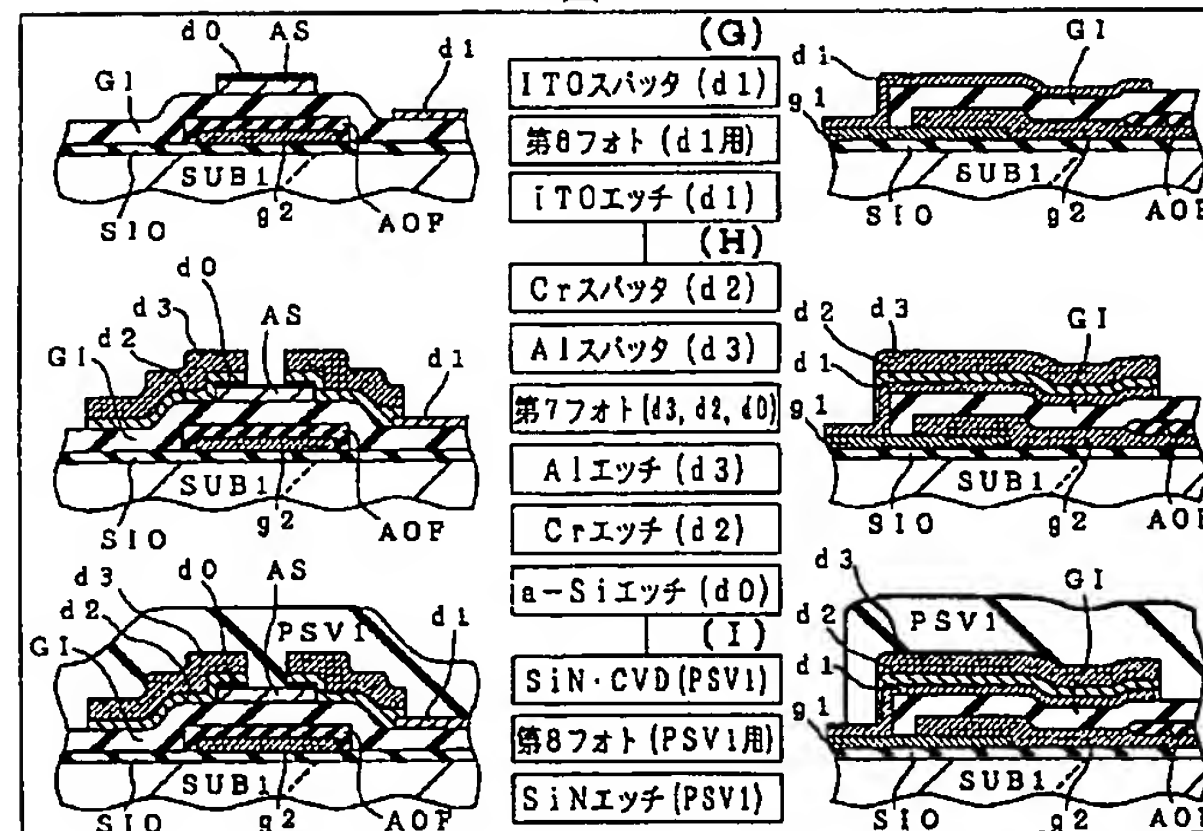
【図18】

図18

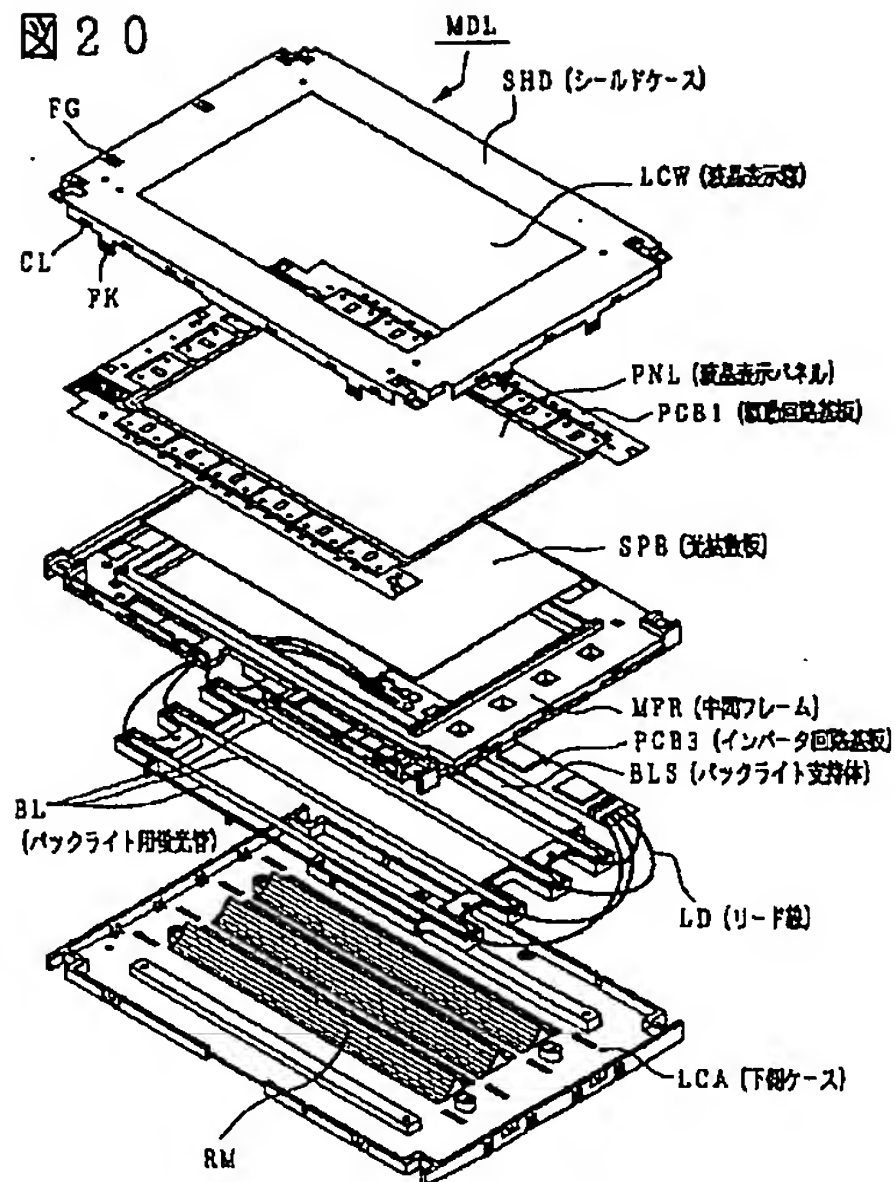


【図19】

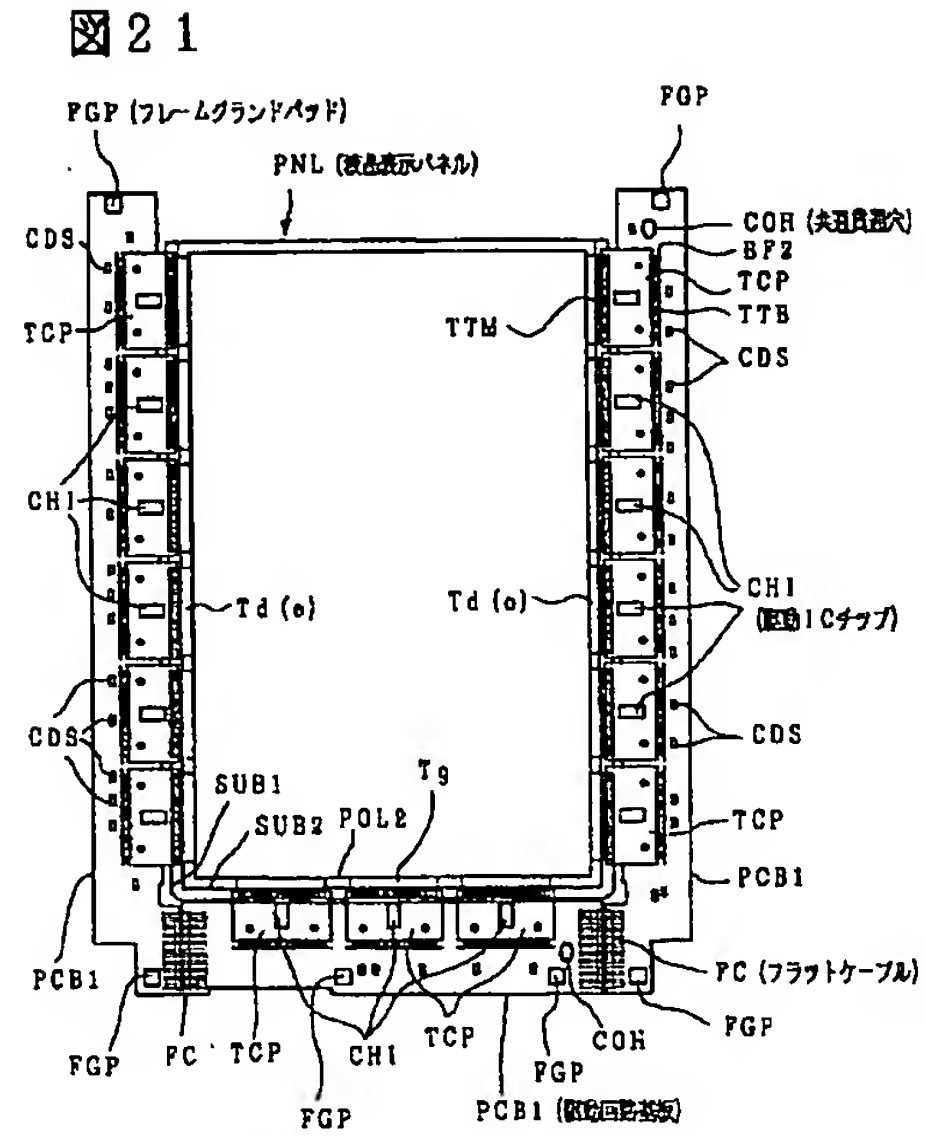
図19



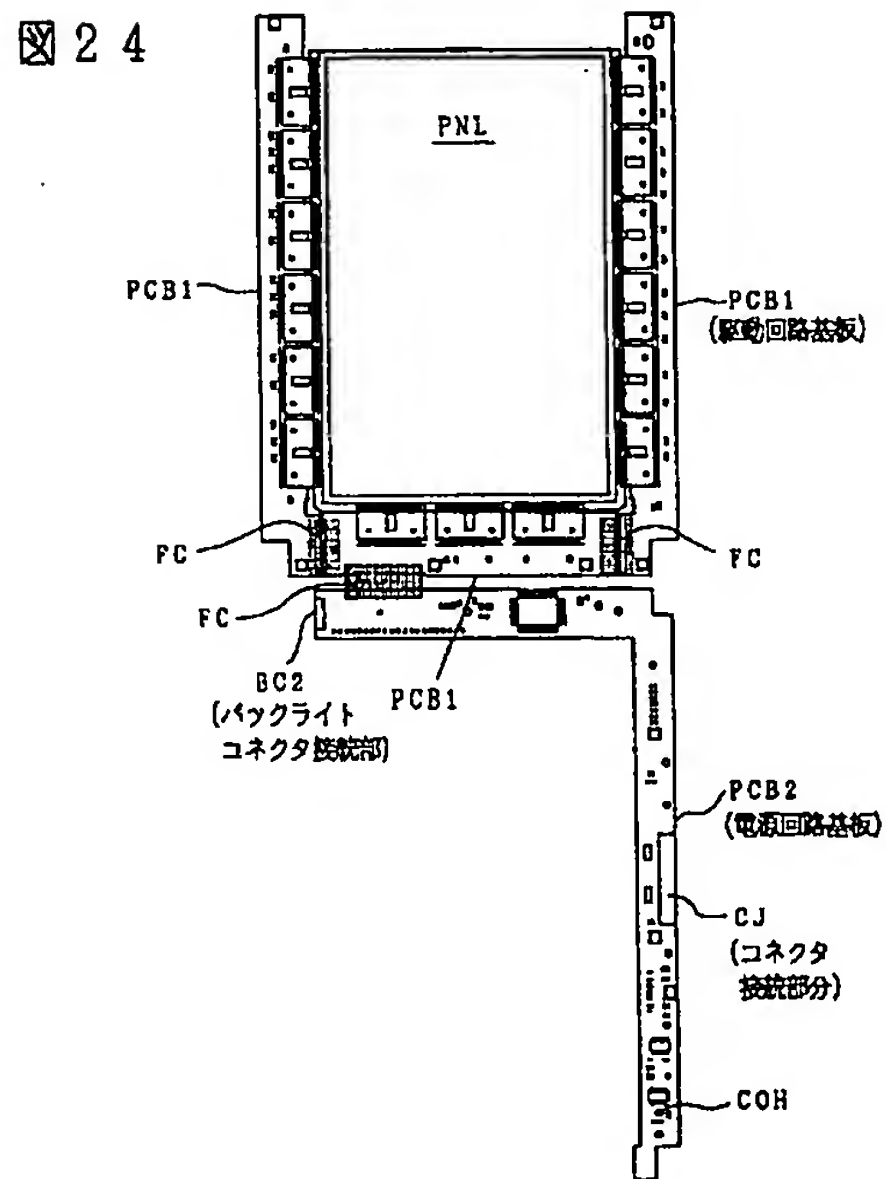
【図20】



【図21】



【図24】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.